

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

CT/JP 00/08980

18.12.00

JP00/8980

E3U

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

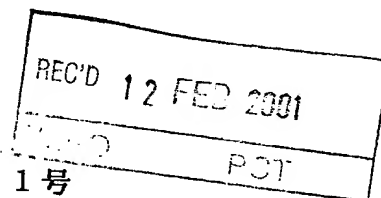
1999年12月16日

出願番号
Application Number:

平成11年特許願第357951号

出願人
Applicant(s):

セイコーエプソン株式会社



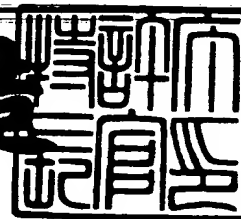
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3114852

【書類名】 特許願
 【整理番号】 J0077007
 【提出日】 平成11年12月16日
 【あて先】 特許庁長官殿
 【国際特許分類】 H03H 17/02
 H04B 1/707

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 鋤持 伸彦

【特許出願人】

【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
 【代表者】 安川 英昭

【代理人】

【識別番号】 100093388
 【弁理士】
 【氏名又は名称】 鈴木 喜三郎
 【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261
 【弁理士】
 【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プールの要否】 要

【書類名】 明細書

【発明の名称】 非巡回型デジタルフィルタ

【特許請求の範囲】

【請求項 1】 所定数 n ビットの入力データを順次シフトする n 段のシフトレジスタと、該シフトレジスタの各出力段の出力にフィルタ係数を乗じて加算するようにした非巡回型デジタルフィルタにおいて、前記 n 段のシフトレジスタを複数のシフトレジスタに分割して構成し、各分割シフトレジスタを前記入力データに同期して時分割駆動するようにしたことを特徴とする非巡回型デジタルフィルタ。

【請求項 2】 所定数 n ビットの入力データを順次シフトする n 段のシフトレジスタと、該シフトレジスタの各出力段の出力にフィルタ係数を乗じて加算するようにした非巡回型デジタルフィルタにおいて、前記 n 段のシフトレジスタを夫々 $n/2$ 段の第 1 及び第 2 のシフトレジスタに分割して構成し、前記第 1 及び第 2 のシフトレジスタの一方をシフトクロックの立ち上がりでシフト動作させ、他方を前記シフトクロックの立ち下がりでシフト動作させるようにしたことを特徴とする非巡回型デジタルフィルタ。

【請求項 3】 所定数 n ビットの入力データを順次シフトする n 段のシフトレジスタと、該シフトレジスタの各出力段の出力にフィルタ係数を乗じて加算するようにした非巡回型デジタルフィルタにおいて、前記 n 段のシフトレジスタを拡散符号系列が入力されると共に、シフトクロックが入力される夫々 $n/2$ 段に分割した第 1 及び第 2 のシフトレジスタと、 n 個の参照符号を格納する参照符号レジスタと、前記シフトクロックに応じて前記参照符号レジスタの奇数段及び偶数段を選択して出力する第 1 及び第 2 の選択手段と、前記第 1 のシフトレジスタの各段の出力と前記第 1 の選択手段の出力とを乗算する第 1 の乗算手段と、前記第 2 のシフトレジスタの各段の出力と前記第 2 の選択手段の出力とを乗算する第 2 の乗算手段と、前記第 1 の乗算手段及び第 2 の乗算手段の乗算結果を加算して相関強度を出力する相関強度演算手段とを備え、前記第 1 及び第 2 のシフトレジスタは、何れか一方がシフトクロックの立ち上がりでシフト動作し、他方が当該シフトクロックの立ち下がりでシフト動作するように構成され、且つ前記第 1

及び第2の選択手段は、シフトクロックがオン状態であるときに前記何れか一方が前記参照符号レジスタの偶数段を前記第1の乗算手段に、他方が奇数段を前記第2の乗算手段に夫々出力し、当該シフトクロックがオフ状態であるときに前記何れか一方が前記参照符号レジスタの奇数段を前記第1の乗算手段に、他方が偶数段を前記第2の乗算手段に夫々出力するように構成されていることを特徴とする非巡回型デジタルフィルタ。

【請求項4】 前記第1及び第2の選択手段は前記参照符号レジスタの2段分毎に配設されて奇数段及び偶数段を選択するマルチプレクサで構成され、前記第1及び第2の乗算手段は排他的論理和回路で構成され、前記相関強度演算手段は加算回路で構成されていることを特徴とする請求項3記載の非巡回型デジタルフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スペクトル拡散通信システムやCDMA方式の通信システムにおいてセル同期捕捉や復調同期捕捉に使用するマッチトフィルタ等のシフトレジスタを使用した非巡回型デジタルフィルタに関する。

【0002】

【従来の技術】

従来のCDMA方式に使用する非巡回型デジタルフィルタを構成するマッチトフィルタとしては、例えば特開平10-178386号公報に記載されているものが知られている。

【0003】

この従来例では、拡散コードにより拡散変調して送信されたパケットをアンテナで受信して受信復調部で復調した受信信号は拡散コードによる拡散変調された状態にあり、この受信信号をマッチトフィルタに供給する。このマッチトフィルタは、受信信号を入力してシフトする例えば64ビット構成のシフトレジスタと、このシフトレジスタと同一のビット構成の拡散コード系列を設定するレジスタと、シフトレジスタとレジスタとの間のビット対応に乗算する乗算器と、乗算器

の出力信号を加算する加算部とを含む構成を有し、また、受信信号はプリアンプル部とデータ部とからなるパケット形式の構成であり、例えば拡散コードのチップ周期でサンプリングされ、AD変換により $-1.0 \sim +1.0$ 間のデジタル値となる。そして、シフトレジスタは、受信信号のサンプリング周期に従って1チップ周期毎に受信信号をシフトすることになる。なお、受信信号をオーバーサンプリングし、即ち、拡散コードの1チップ周期より短い周期でサンプリングしてAD変換し、シフトレジスタはそのサンプリング周期に従って受信信号をシフトする構成として、相関値の精度を上げる構成が一般的である。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来の非巡回型デジタルフィルタにあっては、受信信号に対する拡散コード系列のビット数に対応した段数のシフトレジスタを設け、このシフトレジスタに受信信号を順次シフトしながら格納しているようにしているので、伝送速度が 1.6MHz である場合に、拡散コード系列を8ビットで構成したときに1チップの周波数が $1.6 \times 8 = 12.8\text{MHz}$ となり、シフトレジスタが高速でスイッチングを繰り返すため、消費電力が大きく、CDMA方式を採用した携帯電話に使用するベースバンドチップでの受信時消費電力のかなりの部分を非巡回型デジタルフィルタが占めており、省電力化の要望に応えられないという未解決の課題がある。

【0005】

そこで、本発明は、上記従来例の未解決の課題に着目してなされたものであり、省電力化を計ることができる非巡回型デジタルフィルタを提供することを目的としている。

【0006】

~~【課題を解決するための手段】~~

上記目的を達成するために、請求項1に係る非巡回型デジタルフィルタは、所定数 n ビットの入力データを順次シフトする n 段のシフトレジスタと、該シフトレジスタの各出力段の出力にフィルタ係数を乗じて加算するようにした非巡回型デジタルフィルタにおいて、前記 n 段のシフトレジスタを複数のシフトレジ

スタに分割して構成し、各分割シフトレジスタを前記入力データに同期して時分割駆動するようにしたことを特徴としている。

【0007】

この請求項1に係る発明においては、分割された各シフトレジスタが入力データに同期して時分割シフト作動されるので、シフトレジスタの高速スイッチングを緩和することができ、シフトレジスタを n 段で構成した場合のシフトクロックのクロックレートを短縮して、省電力化を計ることができる。

【0008】

また、請求項2に係る非巡回型デジタルフィルタは、所定数 n ビットの入力データを順次シフトする n 段のシフトレジスタと、該シフトレジスタの各出力段の出力にフィルタ係数を乗じて加算するようにした非巡回型デジタルフィルタにおいて、前記 n 段のシフトレジスタを夫々 $n/2$ 段の第1及び第2のシフトレジスタに分割して構成し、前記第1及び第2のシフトレジスタの一方をシフトクロックの立ち上がりでシフト動作させ、他方を前記シフトクロックの立ち下がりでシフト動作させるようにしたことを特徴としている。

【0009】

この請求項2に係る発明においては、 n 段のシフトレジスタが夫々半分の段数のシフトレジスタに分割され、これらの一方がシフトクロックの立ち上がりで拡散符号系列の奇数番目を格納してシフト動作し、他方がシフトクロックの立ち下がりで拡散符号系列の偶数番目を格納してシフト動作することにより、シフトレジスタを n 段で構成した場合のシフトクロックのクロックレートを半減して、省電力化を計ることができる。

【0010】

~~さらに、請求項3に係る非巡回型デジタルフィルタは、所定数 n ビットの入力データを順次シフトする n 段のシフトレジスタと、該シフトレジスタの各出力~~
段の出力にフィルタ係数を乗じて加算するようにした非巡回型デジタルフィルタにおいて、前記 n 段のシフトレジスタを拡散符号系列が入力されると共に、シフトクロックが入力される夫々 $n/2$ 段に分割した第1及び第2のシフトレジスタと、 n 個の参照符号を格納する参照符号レジスタと、前記シフトクロックに応

じて前記参照符号レジスタの奇数段及び偶数段を選択して出力する第 1 及び第 2 の選択手段と、前記第 1 のシフトレジスタの各段の出力と前記第 1 の選択手段の出力とを乗算する第 1 の乗算手段と、前記第 2 のシフトレジスタの各段の出力と前記第 2 の選択手段の出力とを乗算する第 2 の乗算手段と、前記第 1 の乗算手段及び第 2 の乗算手段の乗算結果を加算して相関強度を出力する相関強度演算手段とを備え、前記第 1 及び第 2 のシフトレジスタは、何れか一方がシフトクロックの立ち上がりでシフト動作し、他方が当該シフトクロックの立ち下がりでシフト動作するように構成され、且つ前記第 1 及び第 2 の選択手段は、シフトクロックがオン状態であるときに前記何れか一方が前記参照符号レジスタの偶数段を前記第 1 の乗算手段に、他方が奇数段を前記第 2 の乗算手段に夫々出力し、当該シフトクロックがオフ状態であるときに前記何れか一方が前記参照符号レジスタの奇数段を前記第 1 の乗算手段に、他方が偶数段を前記第 2 の乗算手段に夫々出力するように構成されていることを特徴としている。

【0011】

この請求項 3 に係る発明においては、マッチフィルタ構成を有し、例えば第 1 のシフトレジスタに、入力される符号系列の奇数番目をシフトクロックの立ち上がりで順次シフト動作させ、第 2 のシフトレジスタに、符号系列の残りの偶数番目をシフトクロックの立ち下がりで順次シフト動作させる。このとき、シフトクロックのオン状態であるときに第 1 の選択手段で参照符号レジスタの偶数を第 1 の乗算手段に、第 2 の選択手段で参照符号レジスタの奇数段を第 2 の乗算手段に出力し、逆にシフトクロックのオフ状態であるときに第 1 の選択手段で参照符号レジスタの奇数段を第 1 の乗算手段に出力し、第 2 の選択手段で参照符号レジスタの偶数段を第 2 の乗算手段に出力する。このため、第 1 及び第 2 の乗算手段でシフトクロックが立ち上がる時点及び立ち下がる時点から僅かに遅れた時点で第 1 のシフトレジスタの各出力段の出力と第 1 の選択手段の出力とを乗算し、これら乗算結果を相関強度演算手段で加算することにより、相関出力を出力する。

【0012】

さらにまた、請求項 4 に係る非巡回型デジタルフィルタは、請求項 3 に係る発明において、前記第 1 及び第 2 の選択手段は前記参照符号レジスタの 2 段分毎

に配設されて奇数段及び偶数段を選択するマルチプレクサで構成され、前記第1及び第2の乗算手段は排他的論理和回路で構成され、前記相関強度演算手段は加算回路で構成されていることを特徴としている。

【0013】

この請求項4に係る発明においては、第1及び第2のシフトレジスタのシフト動作が行われた後に、シフトクロックのオン・オフ状態に応じて各マルチプレクサが参照符号レジスタの奇数段及び複数段を交互に選択するスイッチング動作を行って、第1及び第2のシフトレジスタの各段の出力が入力された排他的論理和回路に参照符号を出力するので、シフトクロックの4パルス分で8ビットの符号系列の相関出力を得ることができる。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を図面を伴って説明する。

【0015】

図1は本発明をCDMA方式の通信システムに適用した場合の一例を示す概略構成図であり、送信側では送信データと符号発生器1で発生された所定数 n ビットの拡散符号 $C(t)$ とを乗算器2で乗算して拡散データを形成し、この拡散データをD/A変換器3でアナログ信号に変換し、これを変調部4で変調し、送信アンプ5で増幅して送信アンテナ6から送信する。

【0016】

一方、受信側では、受信アンテナ11で、拡散データを受信すると、RFアンプ12でRF増幅を行ってから復調部13で復調し、A/D変換器14でデジタル信号に変換して逆拡散用データとし、これを非巡回型デジタルフィルタとしてのマッチトフィルタ15に供給して逆拡散符号 C との積和（相関出力）を求め、これをピーク検出部16に供給して同期捕捉信号を得、この同期捕捉信号を逆拡散符号発生器17に供給して逆拡散符号 $C(t)$ を発生させ、この逆拡散符号 $C(t)$ とA/D変換器14から出力される逆拡散データとを乗算器17で乗算することにより、送信データと同一の受信データを再生する。

【0017】

ここで、マッチトフィルタ 15 は、図 2 に示すように、逆拡散用データを 8 ビットとしたとき、この拡散符号列の奇数番目を入力してシフト動作する 4 つの D 型フリップフロップ DF 11～DF 14 を直列に接続した第 1 のシフトレジスタ 21 と、同様に、逆拡散用データの偶数番目を入力してシフト動作する 4 つの D 型フリップフロップ DF 21～DF 24 を直列に接続した第 2 のシフトレジスタ 22 とが並列に接続されていると共に、8 ビットの逆拡散符号を格納した参照符号レジスタ 23 を備えている。

【0018】

そして、参照符号レジスタ 23 には、その一方の出力側に第 1 の選択手段を構成する 4 つのマルチプレクサ MP 11～MP 14 が接続され、他方の出力側に第 2 の選択手段を構成する 4 つのマルチプレクサ MP 21～MP 24 が接続されている。

【0019】

さらに、マルチプレクサ MP 11～MP 14 の出力と D 型フリップフロップ DF 11～DF 14 の出力とが第 1 の乗算手段を構成する排他的論理和回路 EO 11～EO 14 に入力され、マルチプレクサ MP 21～MP 24 の出力と D 型フリップフロップ DF 21～DF 24 の出力とが第 2 の乗算手段を構成する排他的論理和回路 EO 21～EO 24 に入力され、これら各排他的論理和回路 EO 11～EO 14 及び EO 21～EO 24 の出力が加算器 25 に入力され、この加算器 25 でシフトクロック CK の立ち上がり及び立ち下がり時点から僅かに遅れた時点で各排他的論理和回路 EO 11～EO 14 及び EO 21～EO 24 の出力を加算して相関強度を算出し、これを相関強度出力としてピーク検出部 16 に出力する。

【0020】

ここで、第 1 のシフトレジスタ 21 及び第 2 のシフトレジスタ 22 には、受信データの 2 ビットに 1 周期が対応するシフトクロック CK が入力され、このシフトクロック CK のオフ状態からオン状態となる立ち上がり時点で第 1 のシフトレジスタ 21 の各 D 型フリップフロップ DF 11～DF 14 がシフト動作し、シフトクロック CK のオン状態からオフ状態となる立ち下がり時点で第 2 のシフトレ

ジスタ 22 の各 D 型フリップフロップ DF 21 ~ DF 24 がシフト動作する。

【0021】

また、各マルチプレクサ MP 11 ~ MP 14 の夫々にもシフトクロック CK が入力され、このシフトクロック CK がオン状態であるときに参照符号レジスタ 23 の偶数段の出力を選択し、オフ状態であるときに参照符号レジスタ 23 の奇数段の出力を選択して、排他的論理和回路 EO 11 ~ EO 14 に出力する。

【0022】

さらに、各マルチプレクサ MP 21 ~ MP 24 の夫々にもシフトクロック CK が入力され、このシフトクロック CK がオン状態であるときに参照符号レジスタ 23 の奇数段の出力を選択し、オフ状態であるときに参照符号レジスタ 23 の偶数段の出力を選択して、排他的論理和回路 EO 21 ~ EO 24 に出力する。

【0023】

次に、上記実施形態の動作を図 3 のタイムチャートを伴って説明する。

【0024】

今、送信側から図 3 (a) に示すように 8 ビットの拡散符号 $C(t)$ でなり、夫々 “1” 及び “0” のデータを表す送信データ D1 及び D2 を右端のビット D_{11} から D_{12} 、 D_{13} …… の順に受信側に送信するものとする。受信側では、送信データ D1 及び D2 を受信アンテナ 11 で受信し、RF アンプ 12 で RF 増幅を行ってから復調部 13 で復調し、これを A/D 変換器 14 でデジタルデータに変換することにより、逆拡散用データとなってマッチトフィルタ 15 に供給され、このマッチトフィルタ 15 で逆拡散符号 C との間で相関演算を行い相関強度出力をピーク検出部 16 に出力する。このピーク検出部で相関強度出力の最大及び最小のピークを検出して対応する同期捕捉信号 TS を発生し、これを逆拡散符号発生器 17 に供給する。この逆拡散符号発生器 17 では同期捕捉信号 TS に同期して逆拡散符号系列 $C(t)$ を発生し、これを乗算器 18 に供給することにより、この乗算器 18 で逆拡散用データに逆拡散符号系列 $C(t)$ を乗算して送信データと同一の受信データを再生する。

【0025】

そして、マッチトフィルタ 15 では、参照符号レジスタ 23 に図 3 (c) ~ (k)

の右側第2段目に示すように左端出力段から順に参照符号 C_8 、 C_7 、 C_6 、 C_5 、 C_4 、 C_3 、 C_2 、 C_1 の値「00011101」が格納されているものと
する。この状態で、図3(a)に示す逆拡散用データが入力されると、逆拡散用
データと同期して入力される図3(b)に示すシフトクロックCKの立ち上がり
時点で黒地に白の数字で表される奇数番データ D_{11} 、 D_{13} ……が第1のシフトレ
ジスタ21に順次格納され、シフトクロックCKの立ち下がり時点で偶数番デー
タ D_{12} 、 D_{14} ……が第2のシフトレジスタ22に順次格納される。

【0026】

一方、マルチプレクサMP11～MP14は、シフトクロックCKがオフ状態
であるときに参照符号レジスタ23の奇数番目における符号 C_7 、 C_5 、 C_3 、
 C_1 の値「0111」を選択し、オン状態であるときに参照符号レジスタ23の
偶数番目における符号 C_8 、 C_6 、 C_4 、 C_2 の値「0010」を選択し、逆に
マルチプレクサMP21～MP24はシフトクロックCKがオフ状態であるとき
に参照符号レジスタ23の偶数番目における符号 C_8 、 C_6 、 C_4 、 C_2 の値「
0010」を選択し、オン状態であるときに参照符号レジスタ23の奇数番目
における符号 C_7 、 C_5 、 C_3 、 C_1 の値「0111」を選択する。

【0027】

したがって、今、図3(a)に示す最初の8ビットの逆拡散用データD1「0
0011101」がシフトクロックCKの立ち上がり及び立ち下りの両エッジ
部で、第1のシフトレジスタ21及び第2のシフトレジスタ22に交互に入力さ
れて、図3(c)に示すように、奇数番目のビットデータ D_{15} 、 D_{13} 及び D_{11} の
値「111」が第1のシフトレジスタ21のD型フリップフロップDF11、D
F12及びDF13に夫々格納されている状態で、時点 t_0 でシフトクロックC
Kが図3(b)に示すように立ち上がることにより、奇数番目の最後のデータD
17の値「0」がフリップフロップDF11に格納されると、それまでフリップフ
ロップDF11～DF13に格納されていた「111」のデータが夫々DF12
～DF14にシフトされて、第1のシフトレジスタ21のD型フリップフロップ
DF11、DF12、DF13及びDF14に、図3(c)に示すように、奇数
番目のデータ D_{17} 、 D_{15} 、 D_{13} 及び D_{11} の値「0111」が格納される。

【 0 0 2 8 】

次いで、偶数番目の最初から3つのデータ D_{16} 、 D_{14} 及び D_{12} の値「010」が第2のシフトレジスタ22のD型フリップフロップDF21、DF22及びDF23に格納されている状態で、時点 t_1 でシフトクロックCKの立ち下がることにより、偶数番目の最後のデータ D_{18} の値「0」がD型フリップフロップDF21に格納されると、各フリップフロップDF21～DF23に格納されていたデータ「010」が夫々フリップフロップDF22～DF24にシフトされることにより、第2のシフトレジスタ22のD型フリップフロップDF21、DF22、DF23及びDF24には図3(c)に示すように偶数番目のデータ D_{18} 、 D_{16} 、 D_{14} 及び D_{12} の値「0010」が格納される。

【 0 0 2 9 】

この時点 t_1 より僅かに遅れた時点 t_2 ではシフトクロックCKがオフ状態であるので、第1の選択手段としてのマルチプレクサMP11、MP12、MP13及びMP14では、参照符号レジスタ23の奇数番目の出力を選択するので、これらマルチプレクサMP11、MP12、MP13及びMP14から図3(c)に示すように参照符号Cの奇数番目の符号 C_7 、 C_5 、 C_3 及び C_1 の値「0111」が出力され、同様に、第2の選択手段としてのマルチプレクサMP21、MP22、MP23及びMP24では、参照符号レジスタ23の偶数番目の出力を選択するので、これらマルチプレクサMP21、MP22、MP23及びMP24から図3(c)に示すように参照符号Cの偶数番目の符号 C_8 、 C_6 、 C_4 及び C_2 の値「0010」が出力される。

【 0 0 3 0 】

この結果、第1及び第2のシフトレジスタ21及び22に格納されているデータは、図3(c)で右側第1段目に図示したように、逆拡散用データD1がその順に格納されていることになり、マルチプレクサMP11～MP14及びMP21～MP24で選択された参照符号も図3(c)で右側第2段目に図示した参照符号となり、従来のように8つのD型フリップフロップを直列に接続した場合と等価なシフト動作を行っていることになる。

【 0 0 3 1 】

このため、排他的論理和回路 E O 1 1 ~ E O 1 4 はその入力データが等しくなるので、全て低レベルの出力となると共に、他方の排他的論理和回路 E O 2 1 ~ E O 2 4 もその入力データが等しくなるので、全て低レベルの出力となり、加算器 2 5 で算出される相関度強度出力は最低レベルの「0」となり、これがピーク検出部 1 6 に供給されることにより、このピーク検出部 1 6 で最小ピーク値であると判断してパルス状の同期捕捉信号 T S を逆拡散符号発生器 1 7 に供給し、逆拡散符号系列 C (t) が乗算器 1 8 に出力開始される。

【0032】

このとき、時点 t_3 でシフトクロック C K が立ち上がると、逆拡散用データ D 1 に続く逆拡散用データ D 2 の先頭データ D_{21} の値「0」が図 3 (d) に示すように、第 1 のシフトレジスタ 2 1 の D 型フリップフロップ D F 1 1 に格納されることにより、各フリップフロップ D F 1 1 ~ D F 1 4 のデータがシフトされて、これらの格納データは「0011」となる。このとき、第 2 のシフトレジスタ 2 2 の各フリップフロップ D F 2 1 ~ D F 2 4 はシフト動作を行わないので、前回の格納データ「0010」を維持する。

【0033】

そして、時点 t_3 より僅かに遅れた時点 t_4 では、シフトクロック C K がオン状態となっているので、第 1 の選択手段としてのマルチプレクサ M P 1 1, M P 1 2, M P 1 3 及び M P 1 4 で参照符号レジスタ 2 3 の偶数出力を選択することにより、これらマルチプレクサ M P 1 1, M P 1 2, M P 1 3 及び M P 1 4 から図 3 (d) に示すように参照符号 C の偶数番目における符号 C_8 、 C_6 、 C_4 及び C_2 の値「0010」が出力され、逆に第 2 の選択手段としてのマルチプレクサ M P 2 1, M P 2 2, M P 2 3 及び M P 2 4 から図 3 (d) に示すように参照符号 C の奇数番目における符号 C_7 、 C_5 、 C_3 及び C_1 の値「0111」が出力される。

【0034】

この結果、図 3 (d) の右側 1 段目に示すように、第 1 のシフトレジスタの内容が従来例と同様にシフトさせた場合の偶数番目のデータとなり、第 2 のシフトレジスタの内容が奇数番目のデータとなり、これに応じて参照符号も入れ換えら

れるので、従来のように 8 つの D 型フリップフロップを直列に接続した場合と等価なシフト動作を行っていることになる。

【0035】

このため、排他的論理和回路 EO11 ~ EO13 から低レベルの出力、EO14 から高レベルの出力が得られると共に、EO21, EO23 から低レベルの出力、EO22, EO24 から高レベルの出力が得られることにより、加算器 25 から出力される相関強度出力が「3」となり、ピーク検出部 16 でピーク値ではないと判断されて同期捕捉信号 TS の出力は停止される。

【0036】

その後、シフトクロック CK の立ち下がり時点で図 3 (e) に示すように、第 2 のシフトレジスタ 22 に逆拡散データ D2 における最初の偶数番データ D_{22} の値「1」が格納されることにより、シフト動作によってその内容が「1001」に更新され、第 1 のシフトレジスタ 21 はシフト動作しないので図 3 (e) に示すように「0011」を保持する。また、マルチプレクサ MP11 ~ MP14 からは図 3 (e) に示すように参照符号 C の奇数番目における符号 C_7 、 C_5 、 C_3 及び C_1 の値「0111」が出力され、マルチプレクサ MP21 ~ MP24 からは図 3 (e) に示すように参照符号 C の偶数番目における符号 C_8 、 C_6 、 C_4 及び C_2 の値「0010」が出力される。この場合も図 3 (e) の右側 1 段目に示すように、8 段のシフト動作と等価なシフト動作となる。

【0037】

このため、排他的論理和回路 EO11, EO13, EO14, EO22 の出力が低レベルとなり、残りの EO12, EO21, EO23 及び EO24 の出力が高レベルとなることにより、加算器 25 から「4」の相関強度出力が得られ、これがピーク検出部 16 に供給されるがピーク値ではないと判断されて同期捕捉信

号 TS の出力停止状態が継続される。

【0038】

その後、シフトクロック CK の立ち上がり及び立ち下がりに応じて順次図 3 (f) ~ 図 3 (j) に示すように逆拡散用データ D2 の奇数番目のデータ D_{23} が第 1 のシフトレジスタ 21 に、偶数番目のデータ D_{24} が第 2 のシフトレジスタ 22

に、奇数番目のデータ D_{25} が第 1 のシフトレジスタ 2 1 に、偶数番目のデータ D_6 が第 2 のシフトレジスタ 2 2 に格納されて行き、夫々の相関強度出力は「5」，「4」，「3」，「4」，「5」となり、ピーク検出部 1 6 でピーク値ではないと判断されて同期捕捉信号 TS の出力停止状態が継続される。

【0 0 3 9】

そして、図 3 (k) に示すように、逆拡散用データ D 2 における最後の偶数番データ D_{28} の値「1」が第 2 のシフトレジスタ 2 2 のフリップフロップ DF 2 1 に格納されて、その内容が「1 1 0 1」となり、第 1 のシフトレジスタ 2 1 の内容は「1 0 0 0」を維持する。この結果、第 1 のシフトレジスタ 2 1 の格納データが図 3 (k) の右側第 1 段目に示すように、8 段のシフトレジスタで構成した場合の奇数番データとなり、第 2 のシフトレジスタ 2 2 の格納データが偶数番データとなる。

【0 0 4 0】

この直後では、シフトクロック CK がオフ状態であるので、マルチプレクサ MP 1 1 ~ MP 1 4 で参照符号レジスタ 2 3 の参照符号 C の奇数番目における符号 C_7 、 C_5 、 C_3 及び C_1 の値「0 1 1 1」を選択し、マルチプレクサ MP 2 1 ~ MP 2 4 で参照符号 C の偶数番目における符号 C_8 、 C_6 、 C_4 及び C_2 の値「0 0 1 0」を選択しているので、排他的論理和回路 EO 1 1 ~ EO 1 4 及び EO 2 1 ~ EO 2 4 の全ての出力が高レベルとなり、加算器 2 5 で算出される相関強度出力が「8」となり、これがピーク検出部 1 6 に供給されるので、このピーク検出部 1 6 で最大ピーク値と判断されてパルス状の同期捕捉信号 TS が出力され、これに応じて逆拡散符号発生器 1 7 から再度逆拡散符号列 $C(t)$ が出力されし、乗算器 1 8 で次の逆拡散用データ D 3 に乗算されて、送信データと同一の受信データが再生される。

【0 0 4 1】

このように、上記実施形態によると、シフトレジスタを拡散符号のビット数の半分の段数となる第 1 のシフトレジスタ 2 1 及び第 2 のシフトレジスタ 2 2 に分割して並列に接続し、その一方をシフトクロック CK の立ち上がりでシフト動作させ、他方をシフトクロック CK の立ち下がりでシフト動作させると共に、マル

チプレクサMP 1 1～MP 1 4 及びMP 2 1～MP 2 4 でシフトクロックCKのオン・オフ状態に応じて参照符号レジスタ2 3に格納されている参照符号の奇数番目及び偶数番目を選択し、各シフトレジスタの各段の出力とマルチプレクサMP 1 1～MP 1 4 及びMP 2 1～MP 2 4 の出力とを排他的論理和回路EO 1 1～EO 1 4 及びEO 2 1～EO 2 4 に供給して不一致のときに高レベルの出力を得、これを加算器2 5で加算して、相関強度出力を得るようにしているの、8ビットの逆拡散データを再生する場合に、シフトパルスCKが4パルス分で済み、1ビットが通過するD型フリップフロップ数が4つで済むことから、従来例のように8段のシフトレジスタを適用した場合の8パルス且つ通過フリップフロップ数が8の半分となるので、シフトクロックCKクロックレートを半減させることができ、大きな省電力化を計ることができる。このとき、マルチプレクサMP 1 1～MP 1 4 及びMP 2 1～MP 2 4 で新たにスイッチング動作を生じるが、参照符号は1ビットであるので、多ビットのシフトレジスタでのスイッチング回数の削減効果の方が遥かに大きい。

【0 0 4 2】

なお、上記実施形態においては、拡散符号が8ビットである場合について説明したが、これに限定されるものではなく、任意のビット数に設定することができる。

【0 0 4 3】

また、上記実施形態においては、参照符号レジスタ2 3に逆拡散用データD 1に相当する参照符号を格納した場合について説明したが、これに限定されるものではなく、逆拡散用データD 2に相当する参照符号を格納するようにしてもよく、さらには逆拡散用データの奇数番目と偶数番目とを入れ換えた参照符号とすることもでき、この場合にはマルチプレクサMP 1 1～MP 1 4 及びMP 2 1～MP 2 4 のシフトクロックCKに応じた選択を上記実施形態と逆に入れ換えればよい。また、逆拡散用データD 1又はD 2に相当する参照符号の奇数番目及び偶数番目の符号を格納した2つの参照符号レジスタを設け、これらをマルチプレクサで選択して、排他的論理和回路EO 1 1～EO 1 4 及びEO 2 1～EO 2 4 に供給するようにしてもよい。

【 0 0 4 4 】

さらに、シフトレジスタの分割数は上記実施形態のように 2 分割に限らず、3 分割、4 分割等の任意分割数とすることができ、これに応じて参照符号レジスタ 2 3 の出力段の選択ビット数範囲を増加させればよい。

【 0 0 4 5 】

さらに、上記実施形態においては、本発明をマッチトフィルタに適用した場合について説明したが、これに限定されるものではなく、 n 段のシフトレジスタとその各出力段の出力にフィルタ係数を乗算して加算するようにした非巡回型デジタルフィルタに適用し得るものである。

【 0 0 4 6 】

さらにまた、上記実施形態においては、本発明を CDMA 方式の通信システムに適用した場合について説明したが、これに限定されるものではなく、拡散符号を使用した他の通信方式にも適用し得るものである。

【 0 0 4 7 】

【発明の効果】

以上説明したように、請求項 1 に係る発明によれば、分割された各シフトレジスタが入力データに同期して時分割シフト作動されるので、シフトレジスタの高速スイッチングを緩和することができ、シフトレジスタを n 段で構成した場合のシフトクロックのクロックレートを短縮して、省電力化を計ることができるという効果が得られる。

【 0 0 4 8 】

また、請求項 2 に係る発明によれば、 n 段のシフトレジスタが夫々半分の段数のシフトレジスタに分割され、これらの一方がシフトクロックの立ち上がりで拡散符号系列の奇数番目を格納してシフト動作し、他方がシフトクロックの立ち下がりで拡散符号系列の偶数番目を格納してシフト動作することにより、シフトレジスタを n 段で構成した場合のシフトクロックのクロックレートを半減して、省電力化を計ることができるという効果が得られる。

【 0 0 4 9 】

さらに、請求項 3 に係る発明によれば、マッチトフィルタの構成を有し、例え

ば第1のシフトレジスタに、入力される符号系列の奇数番目をシフトクロックの立ち上がりで順次シフト動作させ、第2のシフトレジスタに、符号系列の残りの偶数番目をシフトクロックの立ち下がりで順次シフト動作させると共に、シフトクロックのオン状態であるときに第1の選択手段で参照符号レジスタの偶数段を第1の乗算手段に、第2の選択手段で参照符号レジスタの奇数段を第2の乗算手段に出力し、逆にシフトクロックのオフ状態であるときに第1の選択手段で参照符号レジスタの奇数段を第1の乗算手段に出力し、第2の選択手段で参照符号レジスタの偶数段を第2の乗算手段に出力し、両乗算手段の出力を加算手段で加算して相関強度出力を得る構成としたので、シフトクロックの両エッジ部で第1のシフトレジスタ及び第2のシフトレジスタを交互にシフト動作させて、シフトレジスタを分割しないで使用する場合と等価なシフト動作を確保しながらクロックレートを半減させて、省電力化を計ることができるという効果が得られる。

【0050】

さらにまた、請求項4に係る発明によれば、第1及び第2のシフトレジスタのシフト動作が行われた後に、シフトクロックのオン・オフ状態に応じて各マルチプレクサが参照符号レジスタの奇数段及び複数段を交互に選択するスイッチング動作を行って、第1及び第2のシフトレジスタの各段の出力が入力された排他的論理和回路に参照符号を出力するので、シフトクロックの4パルス分で8ビットの符号系列の相関出力を得ることができるという効果が得られる。

【図面の簡単な説明】

【図1】

本発明をCDMA方式の通信システムに適用した場合の一実施形態を示すブロック図である。

【図2】

本発明の非巡回型ディジタルフィルタを構成するマッチトフィルタを示すブロック図である。

【図3】

マッチトフィルタの動作の説明に供するタイムチャートである。

【符号の説明】

11 受信アンテナ

12 RFアンプ

13 復調部

14 A/D変換器

15 マッチトフィルタ

16 ピーク検出部

17 逆拡散符号発生器

18 乗算器

21 第1のシフトレジスタ

22 第2のシフトレジスタ

23 参照符号レジスタ

25 加算器

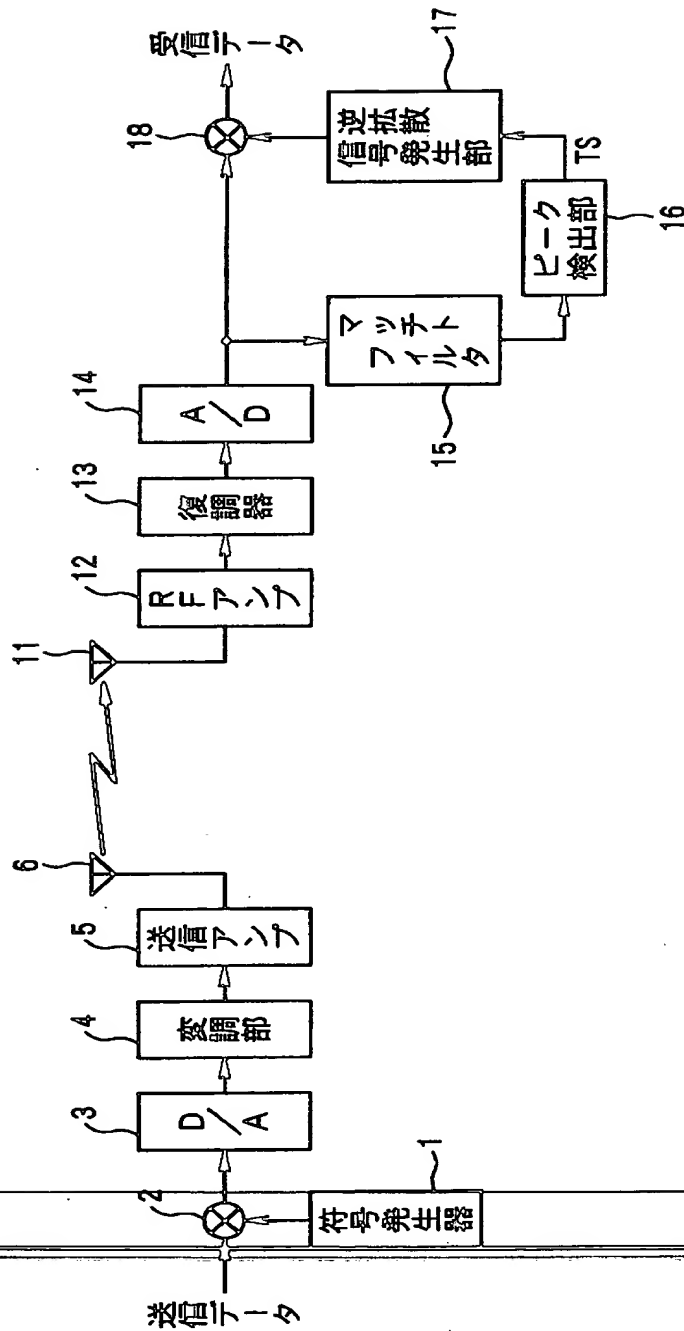
DF11~DF14, DF21~DF24 D型フリップフロップ

MP11~MP14, MP21~MP24 マルチプレクサ

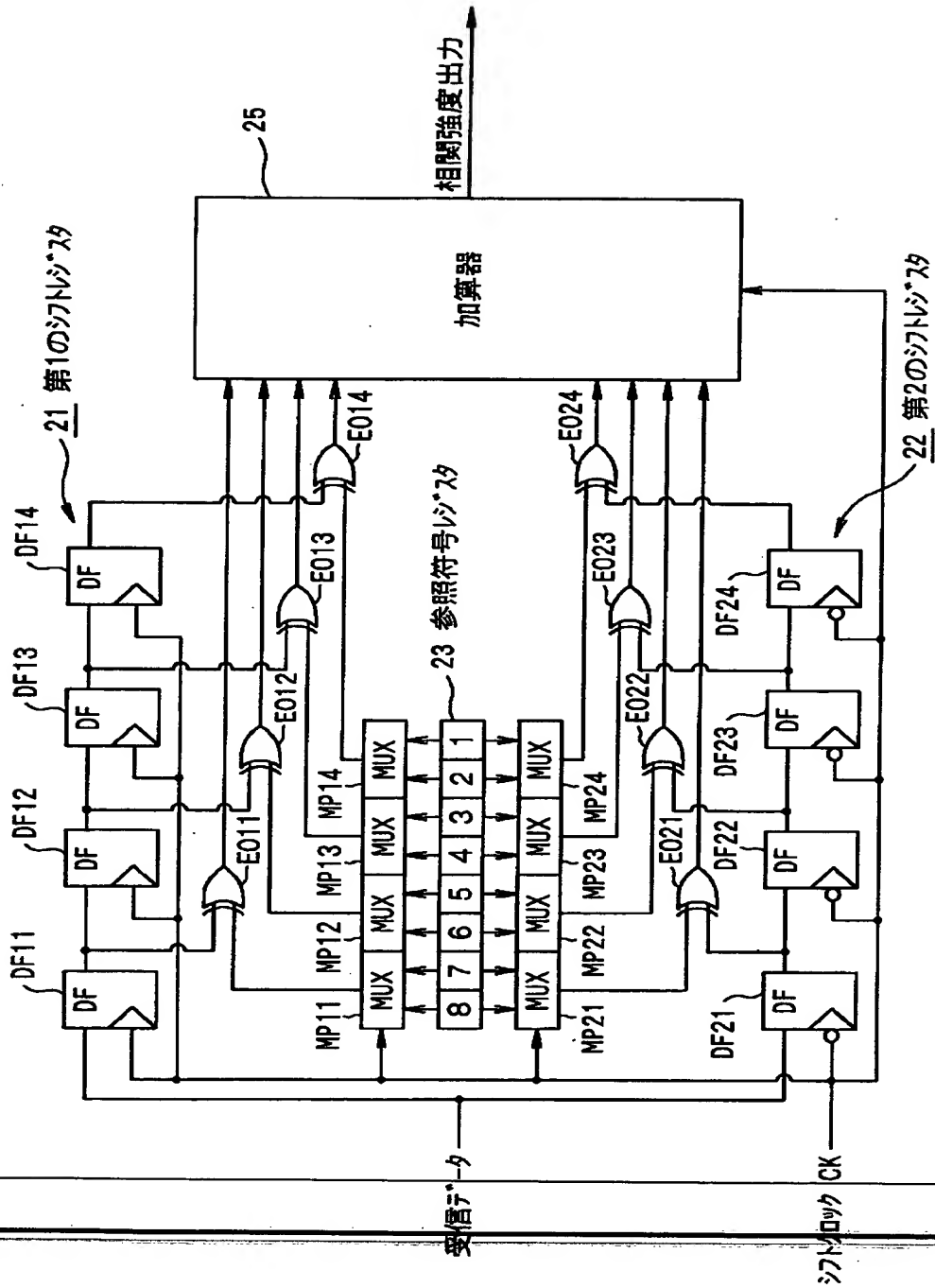
EO11~EO14, EO21~EO24 排他的論理和回路

【書類名】 図面

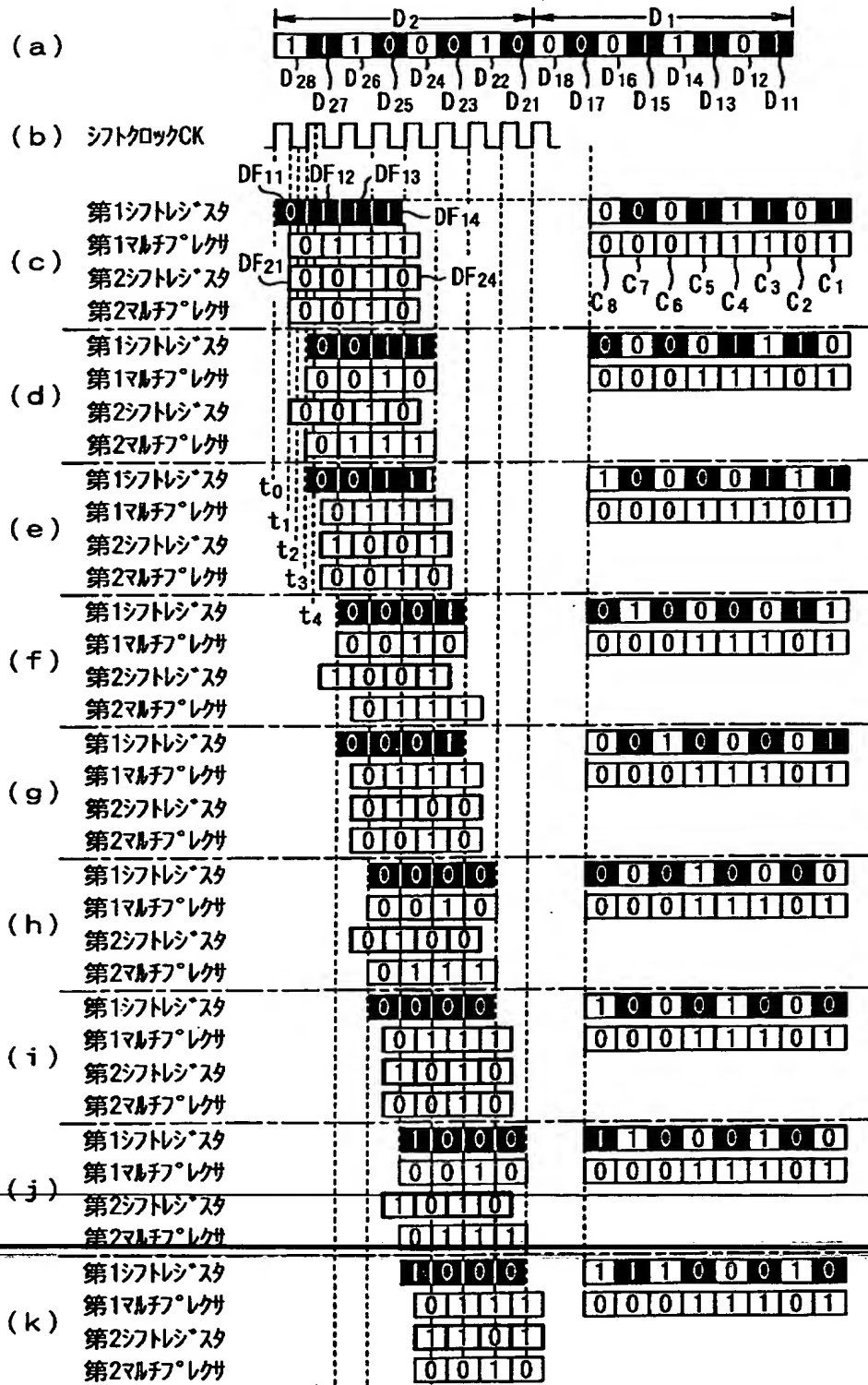
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 非巡回型デジタルフィルタにおいて、入力データの個々のビットがシフトレジスタを通過する回数を減少させて省電力化を計る。

【解決手段】 逆拡散データを通常段数を2分割した段数の第1のシフトレジスタ21及び第2のシフトレジスタ22に供給し、両シフトレジスタをシフトクロックCKの両エッジで交互にシフト動作させる。参照符号レジスタ23に格納した参照符号の奇数番符号をシフトクロックCKのオフ状態で、偶数番符号をオン状態で夫々選択するマルチプレクサMP11～MP14と、その逆の選択をするマルチプレクサMP21～MP24とを設け、第1のシフトレジスタ21の各段の出力とマルチプレクサMP11～MP14の出力との排他的論理和出力と第2のシフトレジスタ22の各段の出力とマルチプレクサMP21～MP24の出力との排他的論理和出力とを加算器25で加算して相関強度出力を得る。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社

This Page Blank (uspto)